

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

107

Charge pump circuit for a semiconductor memory device

Patent Number: ☐ US5841725
 Publication date: 1998-11-24
 Inventor(s): JUN YOUNG-HYUN (KR); KANG CHANG-MAN (KR)
 Applicant(s): LG SEMICON CO LTD (KR)
 Requested Patent: ☐ JP10337003
 Application: US19970918667 19970828
 Priority Number(s): KR19970012109 19970402
 IPC Classification: G11C5/14
 EC Classification: G05F3/26A, G11C5/14P, H02M3/07S
 Equivalents: ☐ DE19812096, ☐ GB2323952, ☐ JP2964240B2, ☐

Abstract

A charge pump circuit of a semiconductor memory device provides high efficiency. A high voltage detector outputs a high voltage detection signal. A regulator outputs a high level and a controller is triggered at a descent edge of a row access strobe bar signal and outputs a high level row access strobe bar pulse signal. An oscillator generates an oscillation pulse signal in accordance with the high level turn-on signal outputted from the regulator. A charge pump performs a pumping operation until the oscillation pulse signal reaches a potential of $(V_{dd}+2V_t)$ when the oscillation pulse signal is applied thereto, and halts the pumping operation when the high level high voltage detection signal is applied. A pull-up transistor precharges the raised voltage V_{pp} to a potential of $(V_{dd}-V_t)$ when power is turned on. The circuit enables a charge pump to have a double booster and a pumping capacitor, thereby satisfying a fast charge supply at a low level voltage and to supply an appropriate amount of charge at a high level voltage.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-337003

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl.⁶

H 0 2 M 3/07

G 1 1 C 16/06

識別記号

F I

H 0 2 M 3/07

G 1 1 C 17/00

6 3 2 A

審査請求 有 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願平10-90378

(22) 出願日 平成10年(1998)4月2日

(31) 優先権主張番号 1 2 1 0 9 / 1 9 9 7

(32) 優先日 1997年4月2日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 596034274

エルジー セミコン カンパニー リミテ
ッド

大韓民国、チューンチェオンブクド、チ
ェオンジュ、フンダクグ、ヒヤングジェ
オンードン、1

(72) 発明者 チャンマン カン

大韓民国、キュンキード、アンヤン、ドン
ガンク、カンヤンードン、1589-1

(72) 発明者 ヨウンヒュン ジュン

大韓民国、ソウル、カンナムク、ダエチ
ードン、60

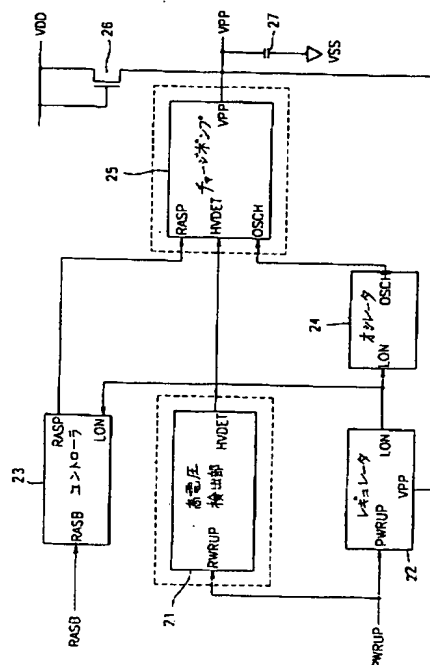
(74) 代理人 弁理士 笹島 富二雄 (外1名)

(54) 【発明の名称】 半導体メモリ装置のチャージポンプ回路

(57) 【要約】

【課題】昇圧電圧を損失なしに負荷の出力ノードに出力して省エネルギーを図った半導体メモリ装置のチャージポンプ回路を提供する。

【解決手段】電源電圧が所定電圧に増大すると高電圧検出信号を出力する高電圧検出部21と、昇圧電圧の所定電圧以下に低下時にハイレベルのオン信号を出力するレギュレータ22と、外部からのラスタ信号でトリガされてラスタパルス信号を出力するコントローラ23と、所定周期の発振パルス信号を出力するオシレータ24と、前記ラスタパルス信号又はオシレータ24の発振パルス信号が入力すると所望の昇圧電圧までポンピング動作を行い前記高電圧検出部22から高電圧検出信号が入力するとポンピング動作を停止するチャージポンプ25と、初期パワーアップ時の昇圧電圧をVDD-V_{th}電位にプリチャージさせるプルアップトランジスタ26と、電荷量の蓄積及びデカップリング (Decoupling) を行うデカップリングキャパシタ27と、を備えて構成する。



【特許請求の範囲】

【請求項1】入力電源電圧が所定電圧に増大すると高電圧検出信号(HVDET)を出力する高電圧検出部と、パワーアップ後の昇圧された出力電圧(VPP)を感知して該出力電圧が所定電圧以下に低下すると駆動信号(LON)を出力するレギュレータと、該レギュレータから入力する駆動信号(LON)により駆動され、外部入力信号(RASB)信号によりトリガされてラスパルス信号(RASP)を出力するコントローラと、前記レギュレータから駆動信号(LON)を入力すると発振動作を行い所定周期の発振パルス信号(OSCH)を出力するオシレータと、前記コントローラのラスパルス信号(RASP)又は前記オシレータの発振パルス信号(OSCH)が入力すると所望する昇圧電圧(VPP)までポンピング動作を行い前記高電圧検出部から高電圧検出信号(HVDET)を入力するとポンピング動作を停止するチャージポンプと、初期パワーアップ時の昇圧電圧(VPP)を所定の電位($VDD-Vt$)にプリチャージさせるプルアップトランジスタと、最終出力端に接続され電荷量の蓄積及びデカップリング(Decoupling)を行うデカップリングキャパシタと、を含んで構成されることを特徴とする半導体メモリ装置のチャージポンプ回路。

【請求項2】前記高電圧検出部は、パワーアップのとき基準電圧を発生する基準電圧発生部と、入力電源電圧(VDD)のレベルを検出するレベル検出部と、該レベル検出部の検出信号を所定時間の間夫々遅延させて出力タイミングを調節する遅延処理部と、から構成されたことを特徴とする請求項1記載の半導体メモリ装置のチャージポンプ回路。

【請求項3】前記チャージポンプは、ラスパルス信号(RASP)、又は発振パルス信号(OSCH)のレベル状態により任意のパルス幅を有する第1乃至第5パルスを生成して出力するパルスタイミング制御部と、該パルスタイミング制御部から発生されるパルスのレベル状態によりポンピング動作を行って所望の電圧を出力する第1乃至第4ポンピングキャパシタと、前記パルスタイミング制御部から発生される第3乃至第5パルスが入力されダブルブースティング(DOUBLE BOOSTING)を行って所望するレベルに形成し、前記ハイレベルの高電圧検出信号(HVDET)が入力するとダブルブースティング動作を停止するダブルブースター回路と、初期パワーアップ時の前記第1ポンピングキャパシタの出力ノードを所定の電位($VDD-Vt$)に維持するプルアップトランジスタと、

前記第1ポンピングキャパシタの出力ノードと出力ノードと第3ポンピングキャパシタの出力ノードとの間に接続され前記出力ノードの電圧をクランピングして前記出力ノードを所定電圧に維持する第1クランプと、前記第1ポンピングキャパシタの出力ノードと前記第4ポンピングキャパシタの出力ノードとの間に接続され前記出力ノードの電圧をクランピングして前記出力ノードを所定電圧に維持する第2クランプと、高電圧の電源電圧(VDD)が入力するとき所定電圧にクリッピング(clipping)し、前記各第1、第4ポンピングキャパシタの夫々の出力ノードを前記クリッピングした電圧に一定に維持する第1、第2クリッパーと、ポンピング初期に第2ポンピングキャパシタの出力ノードを VDD 電位に維持するMOSトランジスタと、ブースティングされたときの前記出力ノードの電荷を負荷の出力ノードに夫々伝達する第1、第2出力トランジスタと、を含んで構成されたことを特徴とする請求項1記載の半導体メモリ装置のチャージポンプ回路。

【請求項4】前記パルスタイミング制御部は、入力するラスパルス信号(RASP)及び発振パルス信号(OSCH)を受けて否定論理和し第5パルス信号を生成してダブルブースター回路に出力するNORゲートと、該NORゲートの出力パルスを反転する第1NOTゲートと、該第1NOTゲートの出力信号を所定時間の間遅延させて出力する第1、第2遅延器と、それら第1、第2遅延器及び前記第1NOTゲートを經由して遅延されたパルス信号を論理組合して第1パルス信号を生成し、該第1パルス信号を第1ポンピングキャパシタに出力する第1パルス生成部と、前記第1遅延器を經由した信号のタイミングを調節し、前記第1パルス信号とは反対位相を有する第2パルス信号を生成して第2ポンピングキャパシタに出力する第2パルス生成部と、前記第1NOTゲート及び前記各第1、第2遅延器を經由したパルス信号を夫々論理組合して第3、第4パルス信号を生成し、該生成された信号中、前記第3パルス信号は第3ポンピングキャパシタに出力し、第4パルス信号はダブルブースター回路に出力する第3パルス生成部と、から構成されたことを特徴とする請求項3記載の半導体メモリ装置のチャージポンプ回路。

【請求項5】前記ダブルブースター回路は、前記パルスタイミング制御部から出力される第4パルス信号を次の段に伝送するパルス伝送部と、前記パルスタイミング制御部から出力される第5パルス信号と前記パルス伝送部を經由して伝送されたパルス信号とを論理組合し、該組合した信号をレベルシフター駆動信号として出力する駆動信号出力部と、該駆動信号出力部のレベルシフター駆動信号により駆動されローレベルのパルス信号を出力す

るレベルシフターと、該レベルシフターの出力により動作し昇圧電圧を調節する昇圧電圧調節部と、入力される高電圧検出信号によりパルスタイミング制御部のパルス信号をパルス伝送部及び駆動信号出力部に伝送、又は遮断するパルス入力制御部と、から構成されたことを特徴とする請求項3記載の半導体メモリ装置のチャージポンプ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体メモリ装置から昇圧電圧(VPP)を発生する回路に係るもので、詳しくは、低電圧が供給される場合は迅速な電荷供給を充足させると共に高電圧が供給される場合は適量の電荷を供給して消費電力量を低減し得る半導体メモリ装置のチャージポンプ回路に関するものである。

【0002】

【従来の技術】従来、半導体メモリ装置のチャージポンプ回路においては、図8に示したように、イネーブル信号の入力により発振動作を行って所定周期のパルスを発生するオシレータ1011と、該オシレータ1011から発生されたパルスの電位が所定値以下であるとき所定電位に固定する第1、第2クランプ1012、1014と、前記オシレータ1011と前記第1、第2クランプ1012、1014間に夫々並列接続され前記オシレータ11から出力されたパルスの電位を所望の電圧に増加させる各キャパシタ1013、1015と、前記キャパシタ1013の出力がドレイン端子に入力され前記キャパシタ1015の出力がゲート端子に入力されソース端子は出力ノード1017に接続された出力トランジスタ1016と、前記出力ノード1017と電源電圧端(VCC)間に接続されパワーアップのときに出力ノードをプリチャージ(PRECHARGE)するプルアップトランジスタ1018と、前記出力ノード1017と前記オシレータ1011間に接続され前記出力ノード17から過電圧が検出されると前記オシレータ1011の動作を停止させる過電圧検出部1019と、から構成されていた。

【0003】このように構成された従来の半導体メモリ装置のチャージポンプ回路の作用について説明すると次のようであった。まず、初期のパワーアップのとき、電源電圧端から電源電圧(VCC)がプルアップトランジスタ1018に供給されると、該プルアップトランジスタ1018からスレッシュホールド電圧(Vt)だけ電圧降下された電圧(VCC-Vt)が、出力ノード1017をプリチャージすると共に、過電圧検出部1019に供給される。

【0004】このとき、該過電圧検出部1019で感知される電圧は前記電源電圧(VCC)より低い電圧(VCC-Vt)を維持するため、前記過電圧検出部1019はオシレータ11にイネーブル信号(EN)を発生し

て該オシレータ1011を動作させ、よって、オシレータ1011から周期的なパルスが発生される。前記オシレータ1011から発生したパルスが低電位である場合は、第1、第2クランプ1012、1014は出力トランジスタ1016のドレイン端子及びゲート端子の電圧が電源電圧(VCC)以下に降下しないように所定電位値を出力する。

【0005】また、前記オシレータ11から発生したパルスが高電位である場合、第1、第2クランプ1012、1014は動作せず、各キャパシタ1013、1015がボンピング動作を行って、前記出力トランジスタ1016のドレイン端子及びゲート端子の電圧を2VCCに形成し、よって、前記出力トランジスタ1016がターンオンされ、該出力トランジスタ1016のスレッシュホールド電圧(Vt)だけ降下された電圧(2VCC-Vt)が該出力トランジスタ1016のソース端子(Vccw)に出力され、該電圧(2VCC-Vt)は出力ノード1017を通して必要とするメモリセルに供給される。

【0006】このとき、前記過電圧検出部1019は出力ノード1017の電圧を感知し、その感知結果により前記オシレータ1011を制御する動作が所定電位Vpp[=(VCC+Vt)]に至るまで繰返され、過電圧が検出されると前記過電圧検出部1019は前記オシレータ1011の動作を停止させる。そして、出力端のラインキャパシタ1020及び負荷のキャパシタ1021は、昇圧された電圧出力を負荷に提供するために、前記出力トランジスタ1016によりスイッチングされた出力と協働(cooperate)し、デカップリング(decoupling)キャパシタ1022は安定した昇圧出力を提供するために、チャージポンプと協働する。

【0007】また、チャージポンプにより提供された電圧が不適当な値であるとき、前記プルアップトランジスタ1018はチャージポンプを効果的にバイパスさせるが、この場合、プルアップトランジスタ1018はVccw<(VCC-Vt)であると動作(オン)し、Vccw>(VCC-Vt)になると停止(オフ)する。

【0008】

【発明が解決しようとする課題】しかしながら、このように構成された従来の半導体メモリ装置のチャージポンプ回路においては、ボンピングの動作時に、出力トランジスタ1016のドレイン端子及びゲート端子の電圧は2VCCであるが、出力ノードの電圧は前記出力トランジスタ1016のスレッシュホールド電圧だけ降下された電圧(2VCC-Vt)であるため、該出力トランジスタ1016のドレイン端子の電荷が前記出力ノード17に十分に伝送されない現象が発生し、よって、低電圧でのボンピング効率が低下して、半導体メモリ装置の動作が不安定になるという不都合な点があった。

【0009】本発明の目的は、チップの外部から供給さ

れる電源電圧(VDD)、又はチップの内部電圧(Vint)を用いて昇圧電圧(VPP)を生成し、該生成された昇圧電圧を損失なしに負荷の出力ノードに出力し得る半導体メモリ装置のチャージポンプ回路を提供しようとするものである。また、本発明の別の目的は、ポンピングの効率を向上させて、低電圧時に負荷の出力ノードに迅速に電荷を供給し安定した動作を行い得る半導体メモリ装置の高効率チャージポンプ回路を提供しようとするものである。

【0010】また、本発明のさらに別の目的は、高電圧時に負荷の出力ノードに適当量の電荷を供給して、省エネルギーを図り得る半導体メモリ装置のチャージポンプ回路を提供しようとするものである。

【0011】

【課題を解決するための手段】このため、請求項1に係る発明は、入力電源電圧が所定電圧に増大すると高電圧検出信号(HVDET)を出力する高電圧検出部と、パワーアップ後の昇圧された出力電圧(VPP)を感知して該出力電圧が所定電圧以下に低下すると駆動信号(LON)を出力するレギュレータと、該レギュレータから入力する駆動信号(LON)により駆動され、外部入力信号(RASB)信号によりトリガされてラスパルス信号(RASP)を出力するコントローラと、前記レギュレータから駆動信号(LON)を入力すると発振動作を行い所定周期の発振パルス信号(OSCH)を出力するオシレータと、前記コントローラのラスパルス信号(RASP)又は前記オシレータの発振パルス信号(OSCH)が入力すると所望する昇圧電圧(VPP)までポンピング動作を行い前記高電圧検出部から高電圧検出信号(HVDET)を入力するとポンピング動作を停止するチャージポンプと、初期パワーアップ時の昇圧電圧(VPP)を所定の電位(VDD-Vt)にプリチャージさせるプルアップトランジスタと、最終出力端に接続され電荷量の蓄積及びデカップリング(Decoupling)を行うデカップリングキャパシタと、を含んで構成されることを特徴とする。

【0012】また、請求項2に係る発明は、前記高電圧検出部は、パワーアップのとき基準電圧を発生する基準電圧発生部と、入力電源電圧(VDD)のレベルを検出するレベル検出部と、該レベル検出部の検出信号を所定時間の間夫々遅延させて出力タイミングを調節する遅延処理部と、から構成されたことを特徴とする。

【0013】また、請求項3に係る発明は、前記チャージポンプは、ラスパルス信号(RASP)、又は発振パルス信号(OSCH)のレベル状態により任意のパルス幅を有する第1乃至第5パルスを生成して出力するパルスタイミング制御部と、該パルスタイミング制御部から発生されるパルスのレベル状態によりポンピング動作を行って所望の電圧を出力する第1乃至第4ポンピングキャパシタと、前記パルスタイミング制御部から発生され

る第3乃至第5パルスが入力されダブルブースティング(DOUBLE BOOSTING)を行って所望するレベルに形成し、前記ハイレベルの高電圧検出信号(HVDET)が入力するとダブルブースティング動作を停止するダブルブースター回路と、初期パワーアップ時の前記第1ポンピングキャパシタの出力ノードを所定の電位(VDD-Vt)に維持するプルアップトランジスタと、前記第1ポンピングキャパシタの出力ノードと出力ノードと第3ポンピングキャパシタの出力ノードとの間に接続され前記出力ノードの電圧をクランピングして前記出力ノードを所定電圧に維持する第1クランプと、前記第1ポンピングキャパシタの出力ノードと前記第4ポンピングキャパシタの出力ノードとの間に接続され前記出力ノードの電圧をクランピングして前記出力ノードを所定電圧に維持する第2クランプと、高電圧の電源電圧(VDD)が入力するとき所定電圧にクリッピング(clipping)し、前記各第1、第4ポンピングキャパシタの夫々の出力ノードを前記クリッピングした電圧に一定に維持する第1、第2クリッパーと、ポンピング初期に第2ポンピングキャパシタの出力ノードをVDD電位に維持するMOSトランジスタと、ブースティングされたときの前記出力ノードの電荷を負荷の出力ノードに夫々伝達する第1、第2出力トランジスタと、を含んで構成されたことを特徴とする。

【0014】また、請求項4に係る発明は、前記パルスタイミング制御部は、入力するラスパルス信号(RASP)及び発振パルス信号(OSCH)を受けて否定論理和し第5パルス信号を生成してダブルブースター回路に出力するNORゲートと、該NORゲートの出力パルスを反転する第1NOTゲートと、該第1NOTゲートの出力信号を所定時間の間遅延させて出力する第1、第2遅延器と、それら第1、第2遅延器及び前記第1NOTゲートを經由して遅延されたパルス信号を論理組合して第1パルス信号を生成し、該第1パルス信号を第1ポンピングキャパシタに出力する第1パルス生成部と、前記第1遅延器を經由した信号のタイミングを調節し、前記第1パルス信号とは反対位相を有する第2パルス信号を生成して第2ポンピングキャパシタに出力する第2パルス生成部と、前記第1NOTゲート及び前記各第1、第2遅延器を經由したパルス信号を夫々論理組合して第3、第4パルス信号を生成し、該生成された信号中、前記第3パルス信号は第3ポンピングキャパシタに出力し、第4パルス信号はダブルブースター回路に出力する第3パルス生成部と、から構成されたことを特徴とする。

【0015】また、請求項5に係る発明は、前記ダブルブースター回路は、前記パルスタイミング制御部から出力される第4パルス信号を次の段に伝送するパルス伝送部と、前記パルスタイミング制御部から出力される第5パルス信号と前記パルス伝送部を經由して伝送されたパ

ルス信号とを論理組合し、該組合した信号をレベルシフター駆動信号として出力する駆動信号出力部と、該駆動信号出力部のレベルシフター駆動信号により駆動されローレベルのパルス信号を出力するレベルシフターと、該レベルシフターの出力により動作し昇圧電圧を調節する昇圧電圧調節部と、入力される高電圧検出信号によりパルスタイミング制御部のパルス信号をパルス伝送部及び駆動信号出力部に伝送、又は遮断するパルス入力制御部と、から構成されたことを特徴とする。

【0016】

【発明の効果】本発明に係る半導体メモリ装置のチャージポンプ回路においては、チャージポンプを用いて電荷を伝送するとき、出力トランジスタのゲート電圧を電源電圧(VDD)に対し、 $2VDD + V_t$ 電圧以上にさせて出力トランジスタのドレイン電圧 $2VDD$ を全て昇圧電圧として出力するようになっているため、電荷供給の効率を向上させ、特に低電圧が供給されるときには迅速に電荷を供給し、又、高電圧が供給されるときには適量の電荷が供給されるように制御して、省エネルギー化を図り得るという効果がある。

【0017】また、前記チャージポンプをダブルブースター回路を用いて構成することにより、電荷を伝送するとき、出力トランジスタを2個に分離して出力する昇圧電圧の消耗を減らすことができる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態に対し、図面を用いて説明する。本発明の第1実施形態に係る半導体メモリ装置のチャージポンプ回路は、図1に示したように、高電圧検出部21と、レギュレータ22と、コントローラ23と、オシレータ24と、チャージポンプ25と、プルアップトランジスタ26と、デカップリングキャパシタ27と、を備えて構成されている。

【0019】高電圧検出部21は、入力する電源電圧が所定電圧に増大すると高電圧検出信号(HVDET)を出力する。レギュレータ22は、パワーアップ後の昇圧された出力電圧(VPP)を感知して該出力電圧が所定電圧以下に低下すると、駆動信号としてのハイレベルのオン信号(LON)を出力する。

【0020】コントローラ23は、該レギュレータ22から入力する前記ハイレベルのオン信号(LON)により駆動され、チップの外部から入力するラスバー(RASB: ROW ACCESS STROBE BAR)信号のエッジによりトリガされてハイレベルのラスパルス信号(RASP)を出力する。オシレータ24は、前記レギュレータ22からハイレベルのオン信号(LON)が入力すると発振動作を行い所定周期の発振パルス信号(OSCH)を出力する。

【0021】チャージポンプ25は、前記コントローラ23のラスパルス信号(RASP)及び前記オシレータ24の発振パルス信号(OSCH)が入力すると所望す

る昇圧電圧(VPP)までボンピング動作を行い前記高電圧検出部21からハイレベルの高電圧検出信号(HVDET)が入力するとボンピング動作を停止する。プルアップトランジスタ26は、初期パワーアップ時の昇圧電圧(VPP)を所定の電位($VDD - V_t$)にプリチャージさせる。

【0022】デカップリングキャパシタ27は、最終出力端に接続され電荷量の蓄積及びデカップリング(Decoupling: 緩衝)を行う。そして、前記高電圧検出部21は、図2に示したように、パワーアップ時に基準電圧を発生する基準電圧発生部200aと、入力電源電圧(VDD)のレベルを検出するレベル検出部200bと、該レベル検出部200bの検出信号を所定時間の間夫々遅延させ高電圧検出信号(HVDET)を出力する第1乃至第4反転部200c~200fと、から構成されている。

【0023】また、前記チャージポンプ25は、図3に示したような、各回路部分によって構成されている。即ち、パルスタイミング制御部40は、ラスパルス信号(RASP)又は発振パルス信号(OSCH)のレベル状態により任意のパルス幅を有する第1乃至第5パルス40a~40eを生成する。

【0024】第1乃至第4ボンピングキャパシタ41~44は、該パルスタイミング制御部40から出力されるパルスのレベルによりボンピング動作を行って所望の電圧を出力する。ダブルブースター回路47は、前記パルスタイミング制御部40から発生された第3乃至第5パルス40c, 40d, 40eが入力されダブルブースティング(DOUBLE BOOSTING)を行って所望するレベルに形成し、ハイレベルの高電圧検出信号(HVDET)が入力するとダブルブースティング動作を停止する。

【0025】プルアップトランジスタ50は、初期パワーアップ時の前記第1ボンピングキャパシタ41の出力ノード41aを $VDD - V_t$ 電位に維持する。第1クランプ45は、前記出力ノード41aと第3ボンピングキャパシタ43の出力ノード43aとの間に接続され前記出力ノード41aの電圧をクランピングして前記出力ノード43aを所定電圧に維持する。

【0026】第2クランプ46は、前記第1ボンピングキャパシタ41の出力ノード41aと前記第4ボンピングキャパシタ44の出力ノード44aとの間に接続され前記出力ノード41aの電圧をクランピングして前記出力ノード44aを所定電圧に維持する。第1, 第2クリッパー48, 49は、高電圧の電源電圧(VDD)を所定電圧にクリッピング(clipping)し、前記各第1, 第4ボンピングキャパシタ41, 44の夫々の出力ノード41a, 44aを一定に維持する。

【0027】MOSTランジスタ53は、ボンピング初期に第2ボンピングキャパシタ42の出力ノード42aをVDD電位に維持する。第1, 第2出力トランジスタ

51, 52は、ブースティングされたときの前記出力ノード42aの電荷を負荷の出力ノードに夫々伝達する。また、前記第1出力トランジスタ51は、前記第3ポンピングキャパシタ43又は第1クランプ45の出力によりオン/オフされ、前記第2出力トランジスタ52は、第4ポンピングキャパシタ44又は第2クランプ46の出力によりオン/オフされるようになっている。

【0028】ここで、図4に示すように、前記パルスタイミング制御部40は、入力するラスパルス信号(RASP)及び発振パルス信号(OSCH)を受けて否定論理和し第5パルス信号40eを生成してダブルブースター回路47に出力するNORゲート401と、該NORゲート401の出力パルスを反転する第1NOTゲート402と、該第1NOTゲート402の出力信号を順次遅延させる第1、第2遅延器403、404と、前記第2遅延器404及び前記第1NOTゲート402の出力信号を論理組合して第1パルス信号40aを生成する第1パルス生成部420と、前記第1遅延器403の出力信号を反転させ、前記第1パルス信号40aとは反対位相を有する第2パルス信号40bを生成する第2パルス生成部430と、前記第1NOTゲート402及び前記第2遅延器404の出力信号を論理組合して第3、第4パルス信号40c、40dを生成する第3パルス生成部440と、から構成されている。

【0029】また、前記第1パルス生成部420は、前記第1NOTゲート402と、前記第2遅延器404の出力信号を否定論理和する第1NORゲート405と、該第1NORゲート405の出力を夫々遅延させる第2、第3NOTゲート406、407と、から構成されている。また、前記第2パルス生成部430は、第1遅延器403の出力を順次遅延させる第4、第5NOTゲート408、409から構成されている。

【0030】また、前記第3パルス生成部440は、前記第1NOTゲート402及び前記第2遅延器404の出力を否定論理積する第1NANDゲート410と、該第1NANDゲート410の出力を反転する第6NOTゲート411と、から構成されている。また、前記ダブルブースター回路47は、前記パルスタイミング制御部40から出力される第4パルス信号を次の段に伝送するパルス伝送部47bと、前記パルスタイミング制御部40から出力される第5パルス信号40eと前記パルス伝送部47bを経由して伝送されたパルス信号とを論理組合し、該組合した信号をレベルシフター駆動信号として出力する駆動信号出力部47cと、該駆動信号出力部47cのレベルシフター駆動信号により駆動されローレベルのパルス信号を出力するレベルシフター480と、該レベルシフター480の出力により動作し昇圧電圧を調節する昇圧電圧調節部47dと、入力高電圧検出信号によりパルスタイミング制御部40のパルス信号をパルス伝送部47b及び駆動信号出力部47cに伝送、又は遮

断するパルス入力制御部47aと、から構成されている。

【0031】また、前記パルス伝送部47bは、前記パルスタイミング制御部40から出力される第4パルス信号40dを所定時間の間遅延する第3遅延器472と、該第3遅延器472の出力信号を反転する第8NOTゲート473と、該第8NOTゲート473の出力信号と前記第4パルス信号とを否定論理和する第3NORゲート475と、から構成されている。

【0032】また、前記駆動信号出力部47cは、前記パルス伝送部47bの出力信号と前記パルスタイミング制御部40の第4パルス信号とを否定論理和する第4NORゲート477と、該第4NORゲート477の出力信号を反転する第9NOTゲート478と、前記パルスタイミング制御部40の第5パルス信号と前記第9NOTゲート478の出力信号とを否定論理和する第5NORゲート479と、前記第4パルス信号40dと前記パルス伝送部47bの第3遅延器472の出力信号を否定論理積する第2NANDゲート482と、該第2NANDゲート482の出力信号を反転する第10NOTゲート483と、から構成されている。

【0033】また、前記昇圧電圧調節部47dは、前記レベルシフター480により制御される1個のPMOSトランジスタ486と2個のNMOSトランジスタ487、488とを直列接続して構成されている。また、前記パルス入力制御部47aは、高電圧検出信号(HVDET)により第4パルス信号と第5パルス信号とを伝送、又は遮断する第1、第2伝送ゲート471、476と、前記高電圧検出信号(HVDET)によりオン/オフされ昇圧電圧調節部47dの昇圧電圧を調整するNMOSトランジスタ485と、から構成されている。

【0034】また、前記第1、第2クランプ45、46は、電源電圧端(VDD)とポンピングキャパシタの出力ノードとの間に、1個のNMOSトランジスタのゲート端子が他の1個のNMOSトランジスタのソース端子に接続されて夫々構成されている。また、前記第1、第2クリッパ48、49は、電源電圧端(VDD)とポンピングキャパシタの出力ノードとの間に、ドレインとゲートとの接続された複数のNMOSトランジスタを夫々直列接続して構成されている。

【0035】また、前記第1乃至第4ポンピングキャパシタ41~44は、P型キャパシタ及びN型キャパシタのいずれか1つを選択して使用することができる。このように構成される本発明に係る半導体メモリ装置のチャージポンピング回路の動作を図面を用いて説明すると次のようである。まず、図1に示したように、初期のパワーアップ(Power-up)のとき、チップの外部から電源電圧(VDD)が供給されると、最終出力端に出力される昇圧電圧(VPP)はプルアップトランジスタ26により、図5(A)に示したように、該プルアップトランジ

スタ26のスレッショールド(threshold)電圧(V_t)だけ電圧降下された $VDD-V_t$ 電位にプリチャージ(Pre-charge)される。

【0036】次いで、パワーオンされた後、パワーアップ信号(PWRUP)が、図5(B)に示したように、ハイレベルからローレベルに変化すると、昇圧電圧VPPが $VDD-V_t$ であるため、レギュレータ23が動作して、図5(E)に示したように、駆動信号としてハイレベルのオン信号(LON)をオシレータ24に出力し、該オシレータ24はオン信号(LON)の上昇エッジによりトリガされて、図5(F)に示したように、所定周期を有する発振パルス信号(OSCH)をチャージポンプ25に出力する。このとき前記コントローラ23に前記レギュレータ22のハイレベルのオン信号(LON)が入力すると動作を開始し、外部から入力するラスパ信号(RASB)が、図5(C)に示したように、ハイレベルからローレベルに変化すると、図5(D)に示したように、ハイレベルのラスパルス信号(RASP)を前記チャージポンプ25に出力する。

【0037】前記チャージポンプ25は、図5(A)に示したように、 $VDD-V_t$ 電位にプリチャージされた昇圧電圧(VPP)が $VDD+2V_t$ の電位になるまでボンピング動作を行い、該昇圧電圧(VPP)が設定された電位($VDD+2V_t$)に達すると、前記レギュレータ22は非駆動信号であるローレベルのオン信号(LON)を出力し、該オン信号(LON)が入力するオシレータ24も動作を停止するため、発振パルス信号(OSCH)が出力せず、よって、該発振パルス信号(OSCH)信号が入力されないチャージポンプ25はボンピング動作を停止する。

【0038】昇圧電圧(VPP)が $VDD+2V_t$ より低いときは、レギュレータ23が継続してハイレベルのオン信号(LON)を発生してオシレータ24を動作させ、該オシレータ24は発振パルス信号(OSCH)を出力し、よって、チャージポンプ25が動作して昇圧電圧(VPP)を $VDD+2V_t$ まで上昇させる。また、前記チャージポンプ25がボンピング動作を行って昇圧電圧が $VDD+2V_t$ 電位まで上昇したとしても、ローレベルのラスパ信号(RASB)が入力すると、直ちに前記コントローラ23は該ラスパ信号(RASB)に同期され、下降エッジ及び上昇エッジのときハイレベルのラスパルス信号(RASP)を前記チャージポンプ25に出力してボンピング動作を行うようになっている。

【0039】更に、高電圧検出部21は入力する電源電圧(VDD)を検出し、図5(A)に示したように、該電源電圧(VDD)が任意に設定した電圧に到達すると、図5(G)に示したように、ハイレベルの高電圧検出信号(HVDET)を前記チャージポンプ25に出力し、該チャージポンプ25のダブルブースター回路の動

作を遮断して、ボンピング動作を停止させる。

【0040】前記のようにラスパルス信号(RASP)及び発振パルス信号(OSCH)が入力され、昇圧電圧(VPP)が $VDD+2V_t$ になるまでボンピング動作を行い、又、ハイレベルの高電圧検出信号(HVDET)が入力するとボンピング動作を停止するチャージポンプ25に対し、図3、図4、及び図6を用いて説明すると次のようである。

【0041】まず、チャージポンプ25にラスパルス信号(RASP)、又は発振パルス信号(OSCH)が入力すると、パルスタイミング制御部40はハイ、又はローレベルの第1乃至第5パルス40a~40eを出力する。即ち、図6(B)に示したように、ローレベルの発振パルス信号(OSCH)が入力すると前記パルスタイミング制御部40はハイレベルの第1、第4、第5パルス信号40a、40d、40e及びローレベルの第2、第3パルス信号40b、40cを夫々出力する。

【0042】このとき、パワーアップ時のプルアップトランジスタ50により $VDD-V_t$ 電位にプリチャージされた出力ノード41aは第1ボンピングキャパシタ41のボンピング動作により $2VDD-V_t$ 電位まで電圧が上昇し、該上昇された電圧 $2VDD-V_t$ はNMOSTランジスタ53をターンオンさせ、出力ノード42aをVDD電位に維持する。

【0043】次いで、前記第1ボンピングキャパシタ41の出力ノード41aが $2VDD$ 電位に維持されるとき、第1、第2クランプ45、46はクランピング動作を行い、第3、第4ボンピングキャパシタ43、44の夫々の出力ノード43a、44aをVDD電位に形成するが、前記パルスタイミング制御部40からローレベルの第2、第3パルス信号40b、40cが入力される第2、第3ボンピングキャパシタ42、43は動作しない。

【0044】次いで、前記発振パルス信号(OSCH)が、図6(B)に示したように、ローレベルからハイレベルになると、前記パルスタイミング制御部40はハイレベル、又はローレベルの第1乃至第5パルス信号40a~40eを出力する。即ち、前記第1、第4、第5パルス信号40a、40d、40eはローレベル、前記第2、第3パルス信号40b、40cはハイレベルの状態になる。

【0045】従って、NMOSTランジスタ53のターンオン(Turn-on)によりVDD電位にプリチャージ(PRECHARGE)されていた出力ノード42a及び第1クランプ45によりVDDに維持されていた出力ノード43aは、第2、第3ボンピングキャパシタ42、43のボンピング動作により、図6(F)及び(H)に示したように、 $2VDD$ 電位に上昇し、出力ノード40fはダブルブースター回路47の動作により、図6(I)に示したように、数nsec幅を有する $VDD-V_t$ 電位の

パルスを出力する。次いで、数 $nsec$ 後に、図4に示したレベルシフター480が動作し、該レベルシフター480の動作により出力ノード40fが $VDD-Vt$ 電位になることにより、第4ポンピングキャパシタ44がポンピング動作を行い、よって、出力ノード44aは VDD 電位のプリーチャージ電圧から $2VDD+Vt$ 電位に上昇する。ここで、第1、第2クリッパ48、49は各出力ノード41a、44aから設定された電圧より高い電圧が発生されると、設定値以上の電圧を切捨て、所定電圧を維持する。

【0046】従って、前記各出力ノード42a、43aは、図6(F)及び(H)に示したように、 $2VDD$ レベルに、そして前記出力ノード44aは、図6(J)に示したように、 $2VDD+Vt$ レベルになり、各NMOSTランジスタ51、52はターンオンされ、前記出力ノード42aの電荷を十分にVPPノードに伝送するようになる。

【0047】今までの動作は、ダブルブースター回路47に印加する高電圧検出信号(HVDET)がローレベルの状態である場合だったが、 VDD 電圧が上昇し高電圧検出部21が設定された電圧に到達するとハイレベルの高電圧検出信号(HVDET)を出力し、よって、前記ダブルブースター回路47はダブルブースティング(DOUBLE BOOSTING)動作を停止する。

【0048】このとき、発振パルス信号(OSCH)がローレベルであると、図4に示したように、ダブルブースター回路47のパルス入力制御部47aのトランジスタ485がターンオンされてローレベルのパルス信号40cが出力ノード40fに伝達されるため、前記出力ノード40fはローレベルになる。また、発振パルス信号(OSCH)がハイレベルになっても、前記トランジスタ485により出力ノード40fが $VDD-Vt$ 電位まで動作するため、 VDD 電位にプリチャージされていた出力ノード44aは第4ポンピングキャパシタ44のポンピング動作により、図6(J)に示したように、 $2VDD-Vt$ 電位まで動作する。

【0049】結局、電源電圧 VDD が上昇することにより第2出力トランジスタ52のゲート端子、即ち、出力ノード44aの電圧を調整することができるようになってメモリ素子を保護し、安定した動作を行うようになる。また、上述した図3の動作過程に対し、図4を参照してより詳細に説明すると次のようである。

【0050】まず、ラスパルス信号(RASP)及び発振パルス信号(OSCH)が入力するとパルスタイミング制御部40のNORゲート401が受け否定論理和を行って、第5パルス信号40eを生成し、ダブルブースター回路47に出力する。次いで、該第5パルス信号40eは第1NOTゲート402及び第1、第2遅延器403、404を夫々経由して反転された後、所定時間遅延されて出力される。

【0051】このとき、第1パルス生成部420は、前記第1NOTゲート402の出力信号と前記第2遅延器404の出力信号とを第1NORゲート405で受け否定論理和を行い、第2、第3NOTゲート406、407を経由して第1パルス信号40aを出力する。そして、前記第2パルス生成部430は、前記第1遅延器403の出力信号を第4、第5NOTゲート408、409で受け、前記第1パルス生成部420から出力されたパルスとは反対位相を有する第2パルス信号40bを生成して出力する。

【0052】また、第3パルス生成部440は、前記第1NOTゲート402の出力と前記第2遅延器404の出力とを第1NANDゲート410で受け、否定論理積し第4パルス信号40dを生成してダブルブースター回路47に出力し、前記第4パルス信号40dを第6NOTゲート411を経由して反対位相を有する第3パルス信号40cに形成して出力する。

【0053】結局、ハイレベルの発振パルス信号(OSCH)が入力すると各パルス信号40a、40d、40eはローレベル状態になって各パルス信号40b、40cはハイレベル状態になり、又、ローレベルの発振パルス信号(OSCH)が入力すると各パルス信号40a、40d、40eはハイレベル状態になって各パルス信号40b、40cはローレベル状態になる。

【0054】次いで、ダブルブースター回路47にローレベルの高電圧検出信号(HVDET)が入力すると、パルス入力制御部47aのNMOSTランジスタ485はターンオフされ、第1、第2伝送ゲート471、476はターンオンされるため動作可能な状態になり、前記第1伝送ゲート471がターンオンされてパルスタイミング調節部40のパルス信号40dが入力される。

【0055】このとき、前記パルス信号40dがローレベルであると、パルス伝送部47bの第3NORゲート475の一方側に前記パルス信号40dが入力され、前記第3NORゲート475の他方側には第3遅延器472を経て遅延され第8NOTゲート473を経由して反転されたハイレベルの信号が入力され、前記第3NORゲート475は否定論理和して生成されたローレベルの信号を第4遅延器481を経由してトランジスタ484のゲートの供給し、よって、該トランジスタ484はターンオフ状態になる。

【0056】次いで、駆動信号出力部47cの第4NORゲート477は前記パルス伝送部47bの第3NORゲート475を経由したローレベルの信号と前記第1伝送ゲート471を経由したローレベルのパルス信号40dとが入力され否定論理和されハイレベルの信号を生成し、該ハイレベルの信号を第9NOTゲート478を経由して反転させローレベルの信号に生成した後、第5NORゲート479の一方側に伝送する。このとき、第2伝送ゲート476を経由して伝送されるローレベルのバ

ルス信号40eは前記第5NORゲート479の他方側に入力され、一方側に入力されるローレベルの信号と同時に否定論理和されてハイレベルの信号を出力し、よって、レベルシフター480は動作せず、昇圧電圧調節部47dのPMOSTランジスタ486はターンオフ状態になる。

【0057】そして、NMOSTランジスタ487は、第10NOTゲート483を経由して反転されたハイレベル信号によりターンオンされ、且つ、NMOSTランジスタ488は、第7NOTゲート470で反転されたハイレベルの高電圧検出信号(HVDET)によりターンオンされるため、出力ノード40fはローレベルになる。

【0058】次いで、発振パルス信号(OSCH)がローレベルからハイレベルに変化し各パルス信号40d、40eもハイレベルに変化すると、第1パルス伝送部47bの第3NORゲート475の一方側には第1伝送ゲート471を経由してハイレベルのパルス信号40dが入力され、他方側には前記第1伝送ゲート471を経由したハイレベルのパルス信号40dが第3遅延器472で遅延され第8NOTゲート473により反転されたローレベルの信号が入力される。

【0059】よって、前記第3NORゲート475は否定論理和により生成されたローレベルの信号を第4遅延器481を経てNMOSTランジスタ484のゲートに提供するため、該NMOSTランジスタ484はターンオン状態からターンオフ状態になる。このとき、駆動信号出力部47cの第4NORゲート477は前記第1パルス伝送部47bの第3NORゲート475を経由したローレベルの信号と前記第1伝送ゲート471を経由したハイレベルの信号とを否定論理和したローレベルの信号を第9NOTゲート478に出力し、該第9NOTゲート478はローレベルの信号をハイレベルに反転させて第5NORゲート479の一方側に提供し、該第5NORゲート479は前記第2伝送ゲート476を経由したハイレベルのパルス信号40eを他方側から入力されて否定論理和を行ってローレベル信号に生成してレベルシフター480に提供すると、該レベルシフター480はローレベルのパルス信号をPMOSTランジスタ486のゲートに出力する。

【0060】このとき、NMOSTランジスタ487は第2NANDゲート482と第10NOTゲート483とによりターンオフ状態になり、よって、前記PMOSTランジスタ486がターンオンされるため、出力ノード40fは前記NMOSTランジスタ484の瞬間的なターンオンによる電圧(VDD)から前記PMOSTランジスタ486のスレッシュホールド電圧(V_t)を減算した $VDD - V_t$ 電位を維持する。

【0061】次いで、高電圧検出信号(HVDET)がローレベルからハイレベルに変化すると、第1伝送ゲ-

ート471及び第2伝送ゲート476がターンオフされるため、パルス伝送部47b及び駆動信号出力部47cは駆動せず、入力パルス制御部47aのNMOSTランジスタ485がターンオンされる。このとき、パルス信号40cがローレベルであると出力ノード40fはローレベルの状態になり、パルス信号40cがハイレベルであると出力ノード40fは $VDD - V_t$ 電位になる。

【0062】次いで、第1、第2クランプ45、46は2個のNMOSTランジスタのドレイン端子を共通に電源電圧端に接続し、ゲート端子は相対側トランジスタのドレイン端子に接続して構成し、出力ノード41aの電位が所定電圧以上であるとクランピングし、各出力ノード43a、44aが夫々所定電圧を維持するようになっている。

【0063】また、前記第1、第2クリッパ48、49はドレイン端子とゲート端子とを相互接続するNMOSTランジスタを電源電圧端から所定個を直列接続して構成し、電源電圧(VDD)が高電圧であるとき、設定された電圧をクリッピングして各出力ノード41a、44aを所定電圧に維持する。最後に、高電圧検出部21に対し図2を用いて説明すると次のようである。

【0064】初期のパワーアップ時、ハイレベルのパワーアップ信号(PWRUP)が入力すると、NMOSTランジスタ202がターンオンされ基準電圧発生器200aを動作させ、該基準電圧発生器200aは基準電圧を生成してレベル検出部200bに出力する。次いで、前記基準電圧によりレベル検出部200bのNMOSTランジスタ213がターンオンされ、電源電圧(VDD)が高電圧であると前記レベル検出部200bの夫々のダイオード型トランジスタ209~212を経由してハイレベルの信号が検出されて第1反転部200cに出力される。

【0065】次いで、該第1反転部200cの各PMOSTランジスタ216、217がターンオフされ、NMOSTランジスタ218はターンオンされるため、接地側VSSにバイパスされてローレベルの信号が第2反転部200dに供給され、該ローレベルの信号は第2反転部200dでハイレベルに反転されて第3反転部200eに供給され、該第3反転部200eのPMOSTランジスタ220はターンオフされ、NMOSTランジスタ221はターンオンされ、更に、NMOSTランジスタ222は基準電圧発生器200aの基準電圧によりターンオンされるため、第4反転部200fにローレベルの信号が供給され、よって、該第4反転部200fの夫々のNOTゲート224~226を経由してハイレベルの高電圧検出信号(HVDET)が出力される。

【0066】また、電源電圧(VDD)が低電圧であると、レベル検出部200bの夫々のダイオード型のトランジスタ209~212を経由して検出された信号はローレベルの信号になり、該ローレベルの信号は第1反転

部200cのNMOSトランジスタ218をターンオフさせ、各PMOSトランジスタ216、217をターンオンさせて第2反転部200dにハイレベルの信号を出力する。

【0067】よって、前記第2反転部200dはハイレベルの信号をローレベルに反転させて第3反転部200eに出力し、NMOSトランジスタ221をターンオフさせ、PMOSトランジスタ220をターンオンさせて、第4反転部200fにハイレベルの信号を出力し、該ハイレベルの信号は第4反転部200fの夫々のNOTゲート224~226を経由してローレベルの高電圧検出信号(HVDET)を出力する。

【0068】以上で説明したように、チップの外部から供給される電源電圧(VDD)、又はチップの内部電圧(Vint)を利用しレギュレータ22、オシレータ24、高電圧検出部21、及びチャージポンプ25を動作させ、半導体装置の電源電圧、又は内部電圧が低電圧、或は高電圧に入力しても所望の昇圧電圧を発生するようにする。

【0069】また、本発明の第2実施の形態として、図7に示したように、前記第1の実施の形態の第1乃至第4ボンピングキャパシタ41~44を夫々N型キャパシタにて形成し、その他は第1の実施の形態と同様に構成して使用することもできる。

【図面の簡単な説明】

【図1】本発明に係る半導体メモリ装置のチャージポンプ回路の第1の実施の形態を示したブロック図。

【図2】図1の高電圧検出部を示した回路図。

【図3】図1のチャージポンプを示したブロック図。

【図4】図3のチャージポンプ各部を示した回路図。

【図5】図1の各部の入出力信号を示した波形図。

【図6】図3の各部の入出力信号を示した波形図。

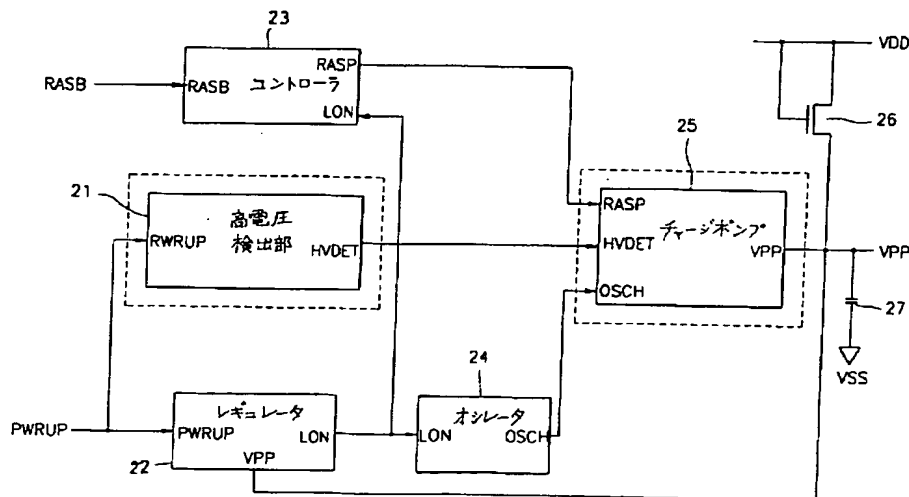
【図7】本発明の半導体メモリ装置のチャージポンプ回路の第2の実施の形態を示したブロック図。

【図8】従来の半導体メモリ装置のチャージポンプ回路を示したブロック図。

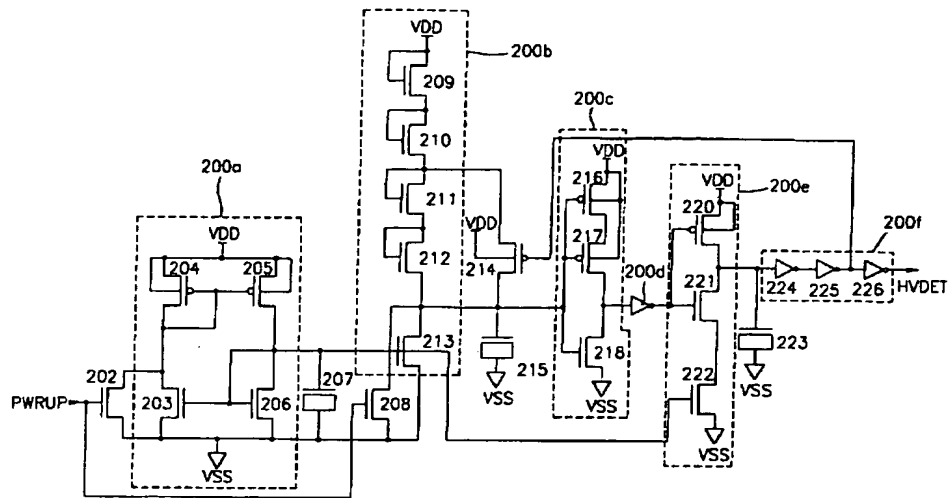
【符号の説明】

- 21 コントローラ
- 22 高電圧検出部
- 23 レギュレータ
- 24 オシレータ
- 25 チャージポンプ
- 26 フルアップトランジスタ
- 27 デカップリングキャパシタ
- 40 バルスタイミング制御部
- 41 第1ボンピングキャパシタ
- 42 第2ボンピングキャパシタ
- 43 第3ボンピングキャパシタ
- 44 第4ボンピングキャパシタ
- 45 第1クランプ
- 46 第2クランプ
- 47 ダブルブースター回路
- 48 第1クリッパー
- 49 第2クリッパー

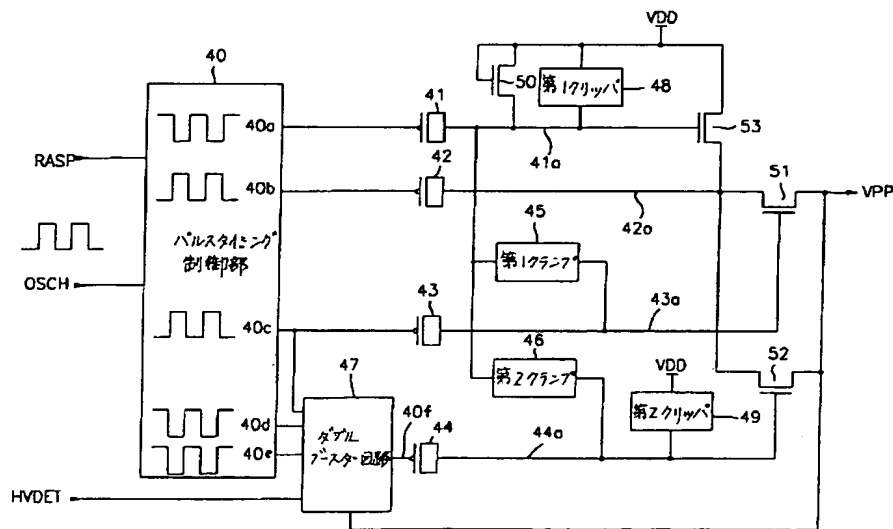
【図1】



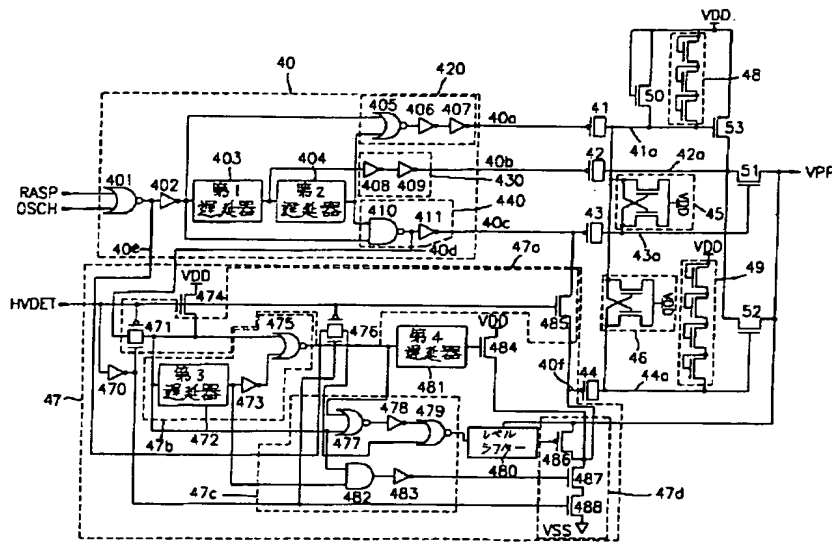
【図2】



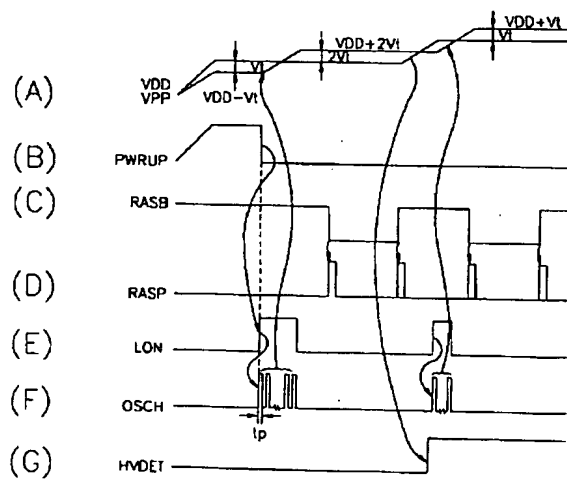
【図3】



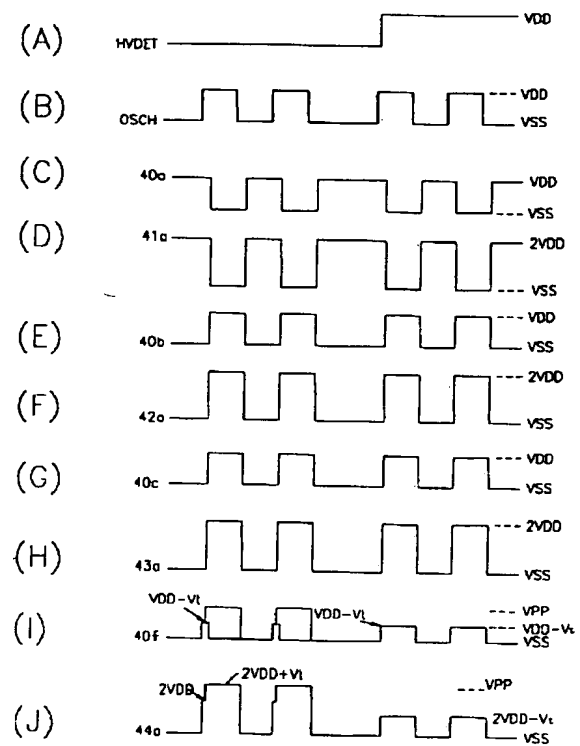
【図4】



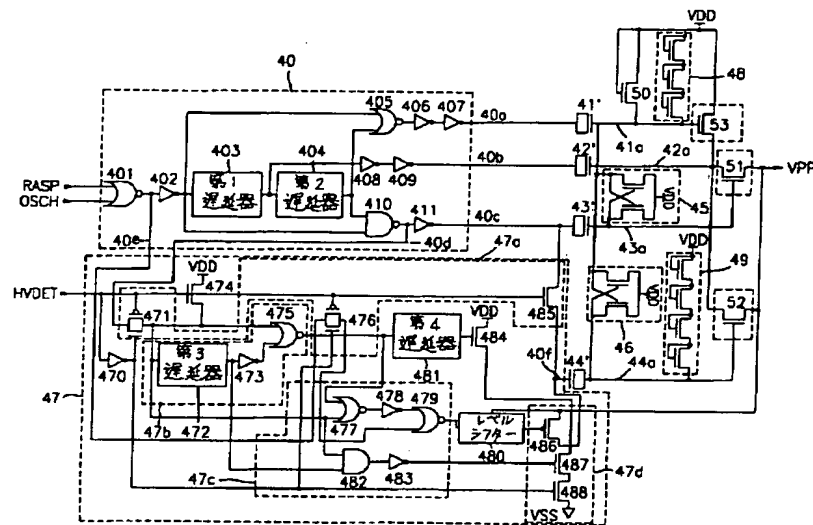
【図5】



【図6】



【図7】



【図8】

